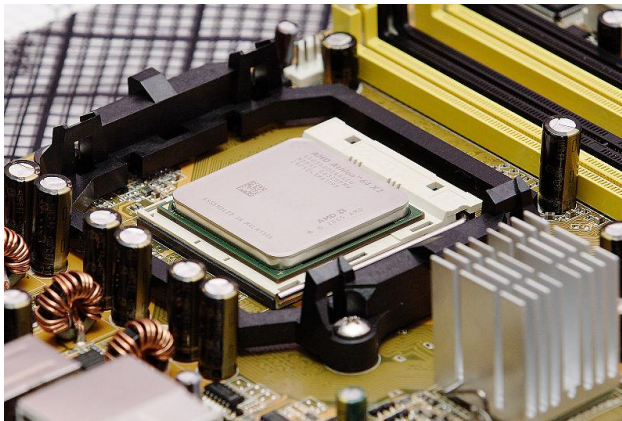
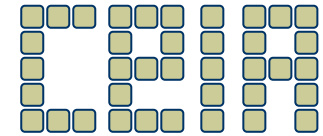


Introducción



- ◆ Constituye la **unidad central de procesamiento (CPU)**
- ◆ Sólo ejecuta **instrucciones** programadas en lenguaje de **bajo nivel**
- ◆ Realiza operaciones aritméticas y lógicas simples, tales como **sumar, restar, multiplicar, dividir, operaciones lógicas binarias y acceso a memoria.**



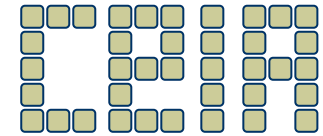


Evolución



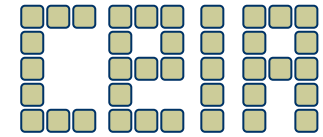
- ◆ En 1948 en los **laboratorios Bell** crearon el **transistor**. Hasta entonces solo existía el tubo de vacío.
- ◆ En los años 1950, aparecieron las primeras **computadoras digitales de propósito general**.
- ◆ A principios de la década de 1960 surgen **tecnologías en circuitos digitales**: **RTL** (Lógica Transistor Resistor), **DTL** (Lógica Transistor Diodo), **TTL** (Lógica Transistor Transistor), **ECL** (Lógica Complementada Emisor).
- ◆ A principios de los 70 surgieron los sistemas a alta escala de integración o **LSI** frente a **SSI** y **MSI**.

Clasificación por categorías



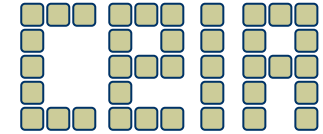
- Microprocesadores **CISC** (Complex Instruction Set Computer).
Ejemplos: microprocesadores x86 de Intel y AMD.
Utilizan instrucciones de longitud variable.
- Microprocesadores **RISC** (Reduced Instruction Set Computer).
Ejemplos: microprocesadores PowerPC, PA-RISC, MIPS, Alpha y Sun SPARC.
- Microprocesadores **EPIC RISC** (Explicity parallel Instruction Computer).
Poseen grupos de instrucciones muy largas VLIW (Very Long Instruction Words) trabajando conjuntamente.
Procesadores Itanium.

Procesadores para servidores más recientes (Intel & AMD)



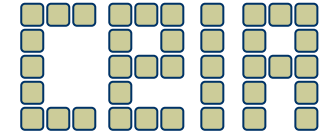
- ◆ [http://ark.intel.com/products/53580/Intel-Xeon-Processor-E7-8870-\(30M-Cache-2 40-GHz-6 40-GTs-Intel-QPI\)](http://ark.intel.com/products/53580/Intel-Xeon-Processor-E7-8870-(30M-Cache-2-40-GHz-6-40-GTs-Intel-QPI))
- ◆ <http://www.amd.com/es/products/server/processors/Pages/server-processors.aspx>

Procesadores Alpha (DEC)



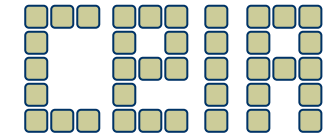
Procesador	Soporte multiprocesador	Velocidad CLK	Registros internos	Bus datos	Memoria máxima	Caché L1	Caché L2	Caché L3	Nº transistores	Fecha aparición
Alpha 21164 (EV-5)	Si	366600 MHz	64 bits	128 bits	1TB	8KB- Instrucciones, 8KB-Data	96KB	1MB to 64MB off-die	9.6 millones	1996
Alpha 21264 (EV-6)	Si	466575 MHz	64 bits	64 bits	16TB	128KB	Off-chip		15.2 millones	1998
Alpha 21264A (EV-67)(.25 micron)	Si	600833 MHz	64 bits	64 bits	16TB	128KB	Off-chip		15.2 millones	1999
Alpha 21264B (EV-68C)	Si	833MHz	64 bits	64 bits	16TB	128KB	Off-chip		15.2 millones	2001
Alpha 21264C (EV68CD)	Si	11.25GHz	64 bits	64 bits	16TB	128KB	Off-chip		15.2 millones	2001
Alpha 21364 (EV-7 series)	Si	1.11.3GHz	64 bits	64 bits	16TB	128KB	1.75 MB		100 millones	2002

Procesadores SPARC (Sun Microsystems)



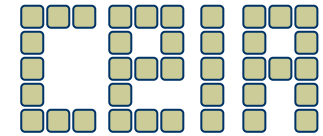
Modelo	Frec. MHz	Año	Proceso (µm)	Nº Transistores	Tamaño (mm)	I/O Pins	Potencia (W)	Tensión (V)	Caché datos	Caché inst.	Scache (KB)
microSPARC I	50	1992	0.8 µm	0.8 millones	225	288	2.5	5	4 KB	2 KB	0 KB
SuperSPARC I	3365	1992	0.8 µm	3.1 millones	NA	NA	14.3	5	16 KB	20 KB	1,024
microSPARC II	60125	1992	0.5 µm	2.3 millones	233	321	5	3.3	8 KB	16 KB	0
SuperSPARC II	7590	1994	0.8 µm	3.1 millones	299	NA	16	NA	16 KB	20 KB	2,048
TurboSPARC 1	60180	1995	0.35 µm	NA	NA	416	7	3.5	16 KB	16 KB	1,024
					Version 9						
UltraSPARC I	140200	1995	0.5 µm	5.2 millones	315	521	30	3.3	16 KB	16 KB	1,024
UltraSPARC II	250480	1997	0.25 µm	5.4 millones	156	521	21	3.3	16 KB	16 KB	8,192
UltraSPARC Iii	270480	1998	0.25 µm	5.4 millones	148	587	21	1.9	16 KB	16 KB	2,048
UltraSPARC Iie	400500	2000	0.18 µm AL	NA	NA	370	13	1.7	16 KB	16 KB	256
UltraSPARC Iii+	550650	2002	0.18 µm Cu	NA	NA	370	17.6	1.7	16 KB	16 KB	512
UltraSPARC III	6001200	2001	0.13 µm	29 millones	330	1368	53	1.6	64 KB	32 KB	8,192
UltraSPARC Iiii	10641593	2003	0.13 µm	87.5 millones	206	959	52	1.3	64 KB	32 KB	16,384
UltraSPARC IV	10501350	2004	0.13 µm	66 millones	356	1368	108	1.35	64 KB	32 KB	16,384
SPARC64 VI (Olympus)	2007	2*2=4	0,09	540	422	--	120	--	128	128	6144
SPARC64 VII	2008	4*2=8	--	--	--	--	--	--	128	128	6144

Procesadores PA-RISC (HP)



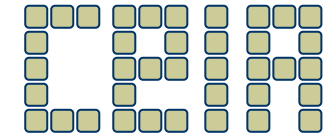
Procesador	Versión PA-RISC	Soporte Multi-procesador	Velocidad CLK	Registros internos	Bus datos	Memoria máxima	Caché L1	Caché L2	Nº transistores	Fecha aparición
PA-8000 (Onyx)	2.0	Si	230MHz	64 bits	64 bits	1TB	1MB off-chip		3.8 millones	1996
PA-8200 (Vulcan)	2.0	Si	300MHz	64 bits	64 bits	1TB	4MB off-chip		3.8 millones	1997
PA-8500 (Vulcan)	2.0	Si	440MHz	64 bits	64 bits	1TB	1.5MB		140 millones	1998
PA-8600 (Landshark)	2.0	Si	550MHz	64 bits	64 bits	1TB	1.5MB		140 millones	1999
PA-8700 (Piranha)	2.0	Si	875MHz	64 bits	64 bits	16TB	2.25MB		186 millones	2001
PA-8800	2.0	Si	1GHz	64 bits	64 bits	16TB	3MB	32MB off-chip	300 millones	2002
PA-8900	2.0	Si	1.1GHz	64 bits	64 bits	16TB	3MB	64MB off-chip	317 millones	2005

Procesadores MIPS



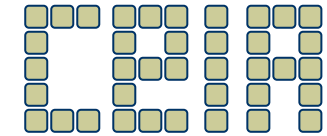
Procesador	Soporte Multi-procesador	Velocidad CLK	Registros internos	Bus datos	Memoria máxima	Caché L1	Caché L2 (off)	Nº transistores	Fecha aparición
R10000	Si	250MHz	64 bits	64 bits	16GB	64KB	12MB	6.8 millones	1994
R12000	Si	400MHz	64 bits	64 bits	16GB	64KB	18MB	6.8 millones	1998
R14000	Si	600MHz	64 bits	64 bits	16GB	64KB	416MB	7.2 millones	2001
R16000	Si	700MHz	64 bits	64 bits	16GB	64KB	416MB	7.2 millones	2002

Procesadores Power (IBM)



Procesador	Soporte Multi-procesador	Velocidad CLK	Registros internos	Bus datos	Máxima memoria	Caché L1	Caché L2	Nº transistores	Fecha aparición
Power2 SuperChip	Si	160MHz	32 bits	32 bits	4GB	160KB	Off-chip	15 millones	1996
Power3	Si	200MHz	64 bits	64 bits	512GB	96KB	Off-chip	15 millones	1998
Power3-II	Si	375450Hz	64 bits	64 bits	512GB	96KB	Off-chip	15 millones	2000
Power4 (dual-core)	Si	1.01.3GHz	64 bits	64 bits	256GB	96KB	1.5MB	174 millones	2001
Power4+ (dual-core)	Si	1.21.7GHz	64 bits	64 bits	256GB	96KB	1.5MB	184 millones	2003
Power5 (dual-core)	Si	1.41.65GHz	64 bits	64 bits	2TB	96KB	1.92MB	276 millones	2003
Power5+ (dual-core)	Si	1.9GHz	64 bits	64 bits	2TB	96KB	1.92MB	276 millones	2005

Procesadores PowerPC



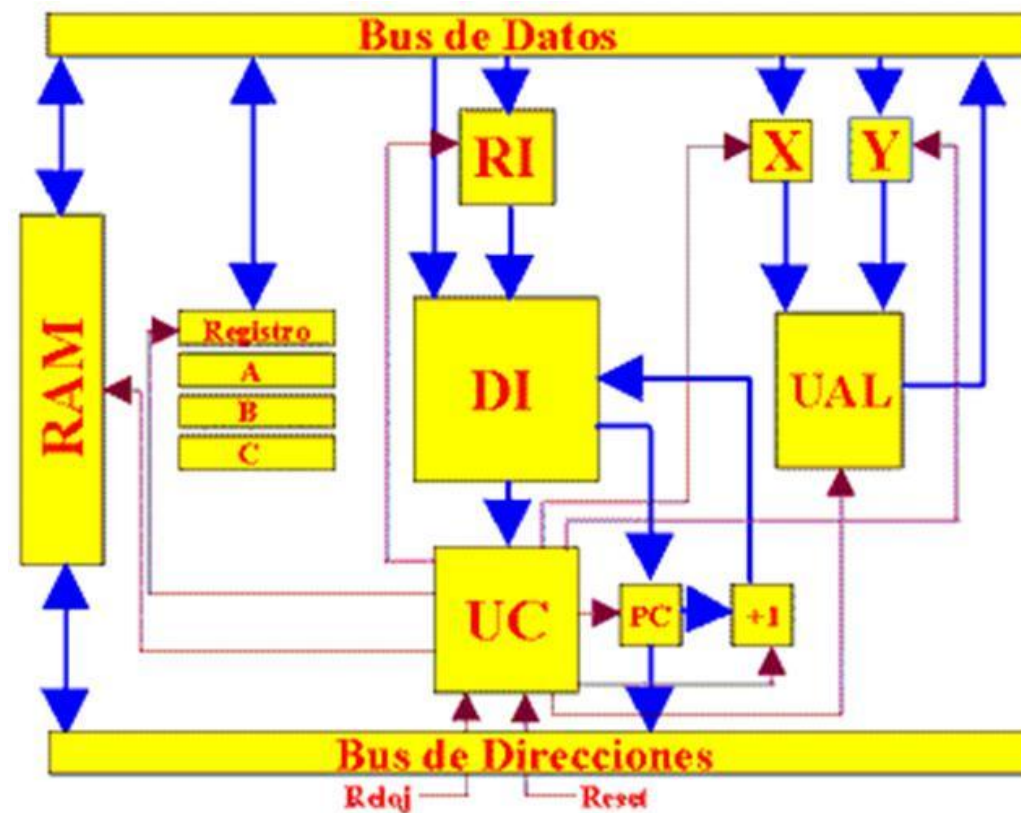
Procesador	Soporte Multi-procesador	Velocidad CLK	Registros internos	Bus datos	Máximo memoria	Caché L1	Caché L2	Nº transistores	Fecha aparición
PowerPC 604	Si	100180MHz	32 bits	64 bits	4GB	32KB	Off-chip	3.6 millones	1995
PowerPC 604e	Si	166350MHz	32 bits	64 bits	4GB	64KB	Off-chip	3.6 millones	1997
PowerPC 740 G3 (.25 micras)	Si	200433MHz	32 bits	64 bits	4GB	64KB	Off-chip	6.35 millones	1997
PowerPC 750 G3 (.22 micras)	Si	200466MHz	32 bits	64 bits	4GB	64KB	Off-chip	6.35 millones	1997
PowerPC 750CX (SideWinder) (.18 micras)	Si	350550MHz	32 bits	64 bits	4GB	64KB	256KB	21.5 millones	2000
PowerPC 750CXe (Anaconda) (.18 micras)	Si	400700MHz	32 bits	64 bits	4GB	64KB	256KB	21.5 millones	2001
PowerPC 750FX (G3 series) (.13 micron SOI)	Si	600800MHz	32 bits	64 bits	4GB	64KB	512KB	39 millones	2002
PowerPC 750GX (.13 micras SOI)	Si	800MHz-1GHz	32 bits	64 bits	4GB	64KB	1024KB	44 millones	2004
PowerPC G4 7400 (.20 micras)	Si	350500MHz	32 bits	64 bits	4GB	64KB	Off-chip	10.5 millones	1999
PowerPC G4 7410	Si	533MHz	32 bits	64 bits	4GB	64KB	Off-chip	10.5 millones	2001
PowerPC G4 7450	Si	533800MHz	32 bits	64 bits	4GB	64KB	256KB	10.5 millones	2001
PowerPC G4 7455	Si	8001.33MHz	32 bits	64 bits	4GB	64KB	256KB	10.5 millones	2002
PowerPC 970 (G5) 0.13 micron SOI	Si	1.61.8GHz	64 bits	64 bits	4TB	64KB	512KB	52 millones	2003
PowerPC 970FX (0.09 micras)	Si	1.42.7GHz	64 bits	64 bits	4TB	96KB	512KB	58 millones	2004
PowerPC 970MP (0.09 micron)	v	1.42.5GHz	64 bits	64 bits	4TB	96KB	1024K	116 millones	2005

Funcionamiento

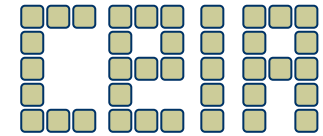


Se compone de los siguientes elementos:

- ◆ Varios registros
- ◆ Una unidad de control
- ◆ Un decodificador
- ◆ Una unidad aritmético lógica
- ◆ Una unidad de coma flotante(*)



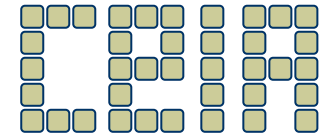
Funcionamiento



El microprocesador ejecuta instrucciones almacenadas como números binarios organizados secuencialmente en la memoria principal. La ejecución de las instrucciones se puede realizar en varias fases:

- ◆ **Prefetch**, prelectura de la instrucción desde la memoria principal.
- ◆ **Fetch**, envío de la instrucción al decodificador
- ◆ **Decodificación** de la instrucción, es decir, determinar qué instrucción es y por tanto qué se debe hacer.
- ◆ **Lectura** de operandos (si los hay).
- ◆ **Ejecución**, lanzamiento de las máquinas de estado que llevan a cabo el procesamiento.
- ◆ **Escritura** de los resultados en la memoria principal o en los registros.

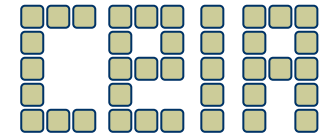
Funcionamiento



- ◆ Cada una de estas fases se realiza en uno o varios ciclos de CPU, dependiendo de la estructura del procesador, y concretamente de su grado de segmentación.
- ◆ La duración de estos ciclos viene determinada por la frecuencia de reloj, y nunca podrá ser inferior al tiempo requerido para realizar la tarea individual (realizada en un solo ciclo) de mayor coste temporal.
- ◆ El microprocesador se conecta a un circuito PLL, normalmente basado en un crystal de cuarzo capaz de generar pulsos a un ritmo constante, de modo que genera varios ciclos (o pulsos) en un segundo. Este reloj, en la actualidad, genera miles de megahercios.

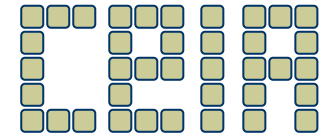
<http://www.youtube.com/watch?v=FRNL1VLIKws&feature=related>

Microprocesadores. Especificaciones



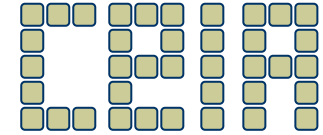
- ◆ **Especificaciones** de los microprocesadores.
 - **Tecnología de fabricación.** Medida en micras, nanómetros. 45 nm.
 - **Velocidad de reloj.** Medida en unidades de frecuencia MHz o GHz.
 - **Anchura del bus.** Numero de bits del bus de datos FSB o PSB. 32 bits o 64 bits. Condiciona el BW (Band Width).
 - **Anchura del bus de direcciones.** Numero de bits del bus de direcciones. 32, 36, 42, 44 bits.
 - **Registros internos.** Número y tamaño de los registros del microprocesador.
 - **Anchura del bus de direcciones.** Número de bits del bus de direcciones. Suelen ser de 32 bits o 64 bits.
 - **Arquitectura interna.** Unidades funcionales y organización interna del microprocesador. Depende de la familia.
 - **Múltiples núcleos.** Circuitos integrados con múltiples procesadores.

Microprocesadores. Especificaciones



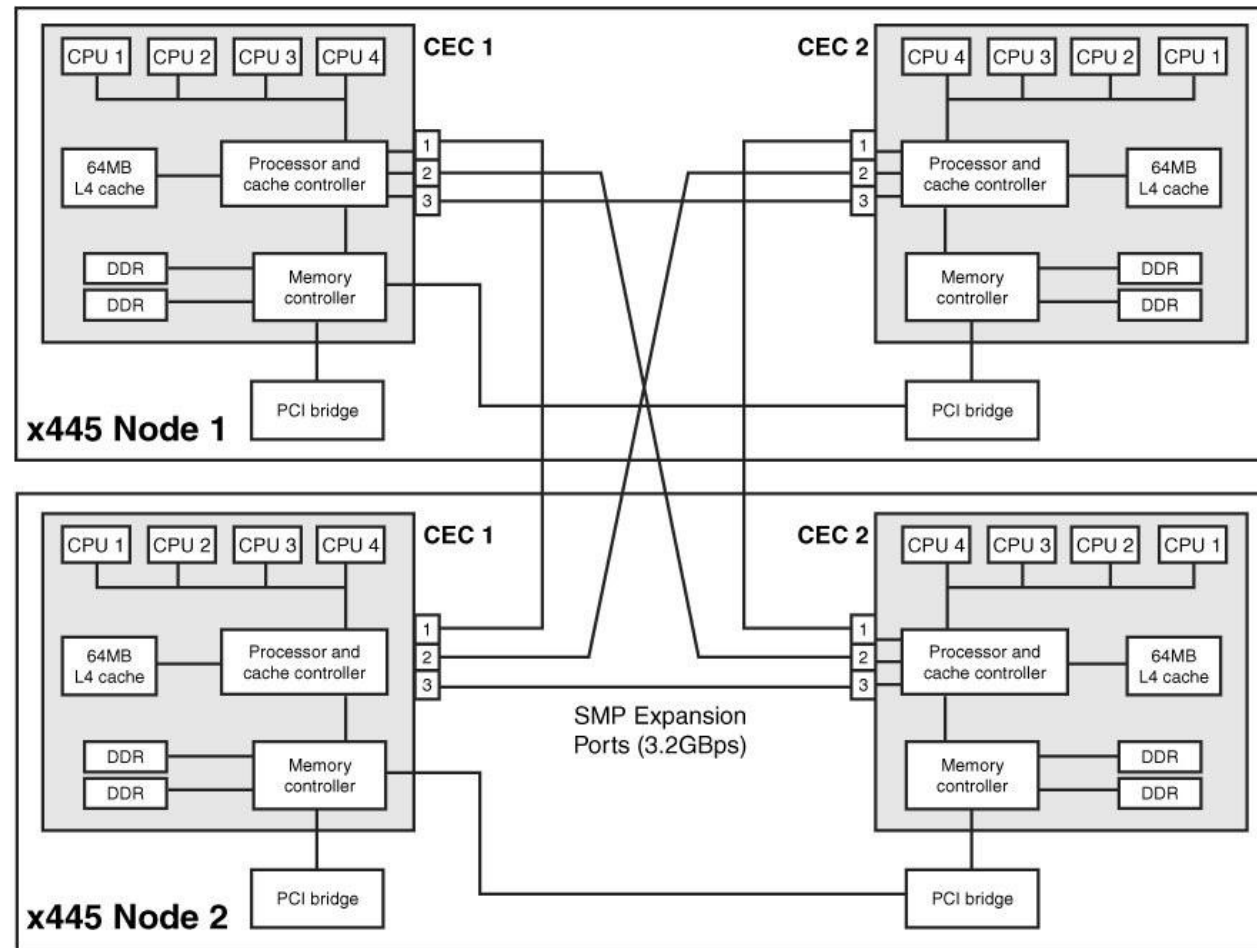
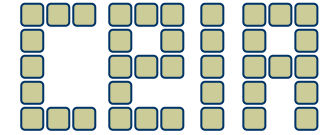
- ◆ **Especificaciones** de los microprocesadores.
- ◆ Memoria caché: Memoria de alta velocidad SRAM con controlador inteligente (algoritmos LRU o LFU).
- ◆ **Tipos:**
 - Caché L1: para datos e instrucciones, o conjunta.
 - Caché L2: para datos e instrucciones, o conjunta.
 - Caché L3: para datos e instrucciones, o conjunta.
- ◆ **Organización:**
 - Organización asociativa.
 - Mapeo directo.
 - Organización asociativa por conjuntos.

Microprocesadores. Especificaciones

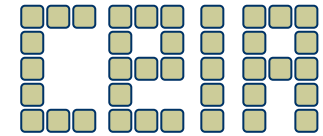


- ◆ **Especificaciones** de los microprocesadores.
- ◆ **Multiprocesamiento**. Capacidad del microprocesador para realizar múltiples procesamientos de tareas.
- ◆ Tipos:
 - **Multithreading**. Cada proceso tarea se divide en múltiples hilos que son ejecutados por los distintos procesadores.
 - **SMP** Symetric Multiprocessing: Dos o mas procesadores idénticos realizan las tareas o procesos compartiendo la misma memoria física.
 - **NUMA** Non-uniform Memory Access: Los procesadores pueden utilizar memoria que puede estar conectada exteriormente a través de un bus.

Microprocesadores. Especificaciones

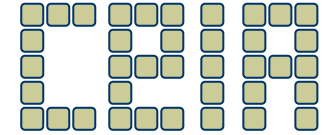


Microprocesadores. Especificaciones



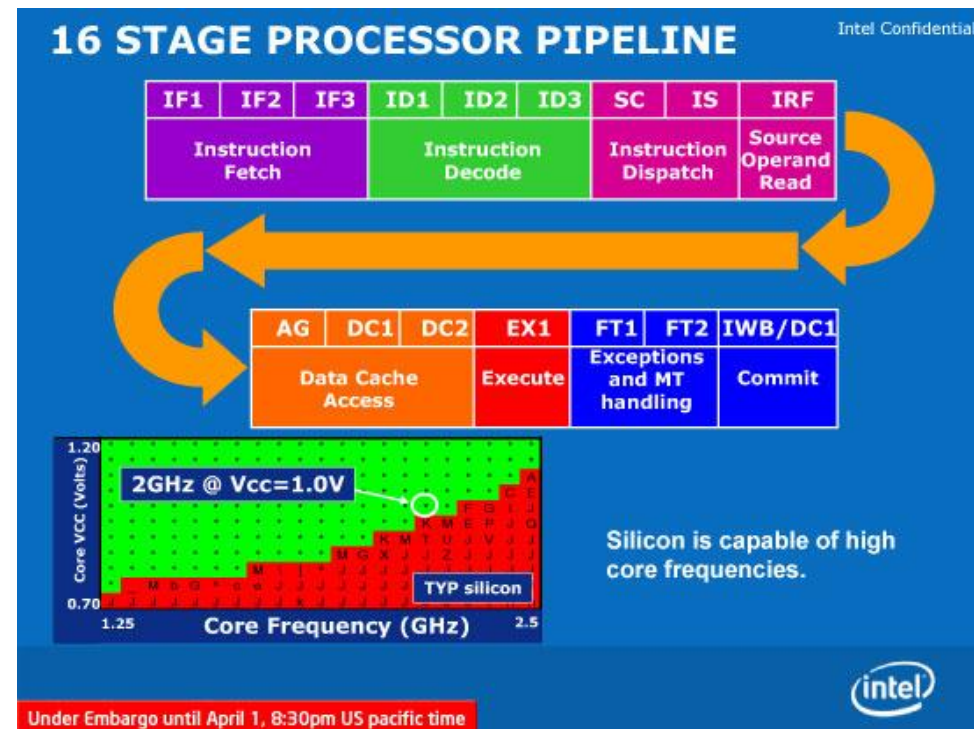
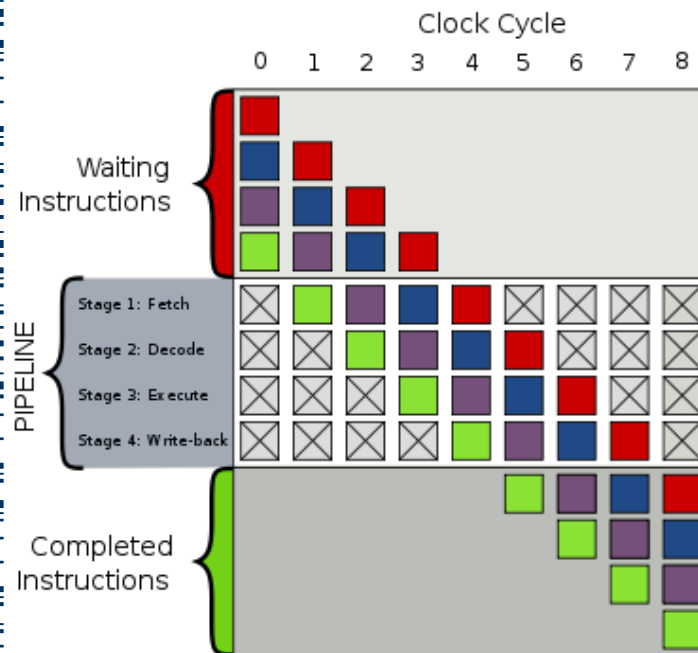
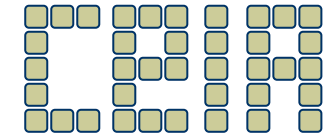
- ◆ **Modos** de los microprocesadores x86.
 - **Modo real.** Software 16 bits.
 - **Modo real virtual.** Programas de 16 bits dentro de entorno de 32 bits.
 - **Modo protegido.** Software de 32 bits.
- ◆ **Modos** de los microprocesadores 64-bits.
 - **Modo EPIC 64-Bit (Intel).** Explicitly Parallel Instructional Computing.
 - **AMD64 64-Bit (AMD).**
 - **EM64T (Intel).**

Microprocesadores. Especificaciones



- ◆ **Especificaciones** de los microprocesadores x86.
 - **Ejecución superescalar.** Permite la ejecución de múltiples instrucciones.
 - Segmentación del cauce (pipeline).
 - Duplicación de unidades funcionales (ejecución).
 - **Extensiones de instrucciones de procesador.** Extensiones SIMD (Single Instruction, multiple data).
 - Instrucciones MMX (Intel): 57 inst. (gráfico, video, audio).
 - Instrucciones SSE (Intel): 70 inst. (MMX + inst. punto flotante).
 - Instrucciones 3DNow (AMD): SSE + Enhanced multimedia commands.
 - Instrucciones SSE2 (Intel): Enhanced SSE con soporte inst. punto flotante en precisión double de 64 bits.
 - Instrucciones SSE3 (Intel): 13 instrucciones nuevas para procesamiento gráfico, video y audio.

Microprocesadores. Especificaciones



Microprocesadores. Especificaciones

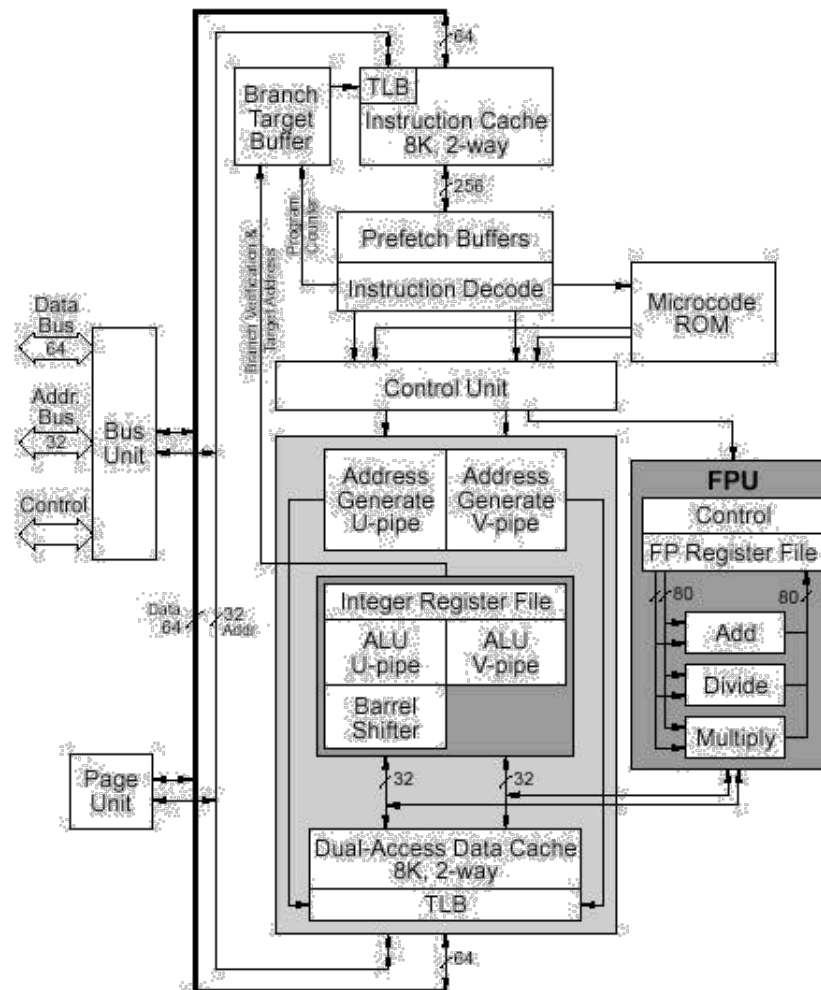
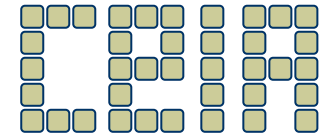
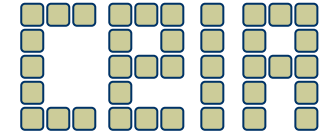
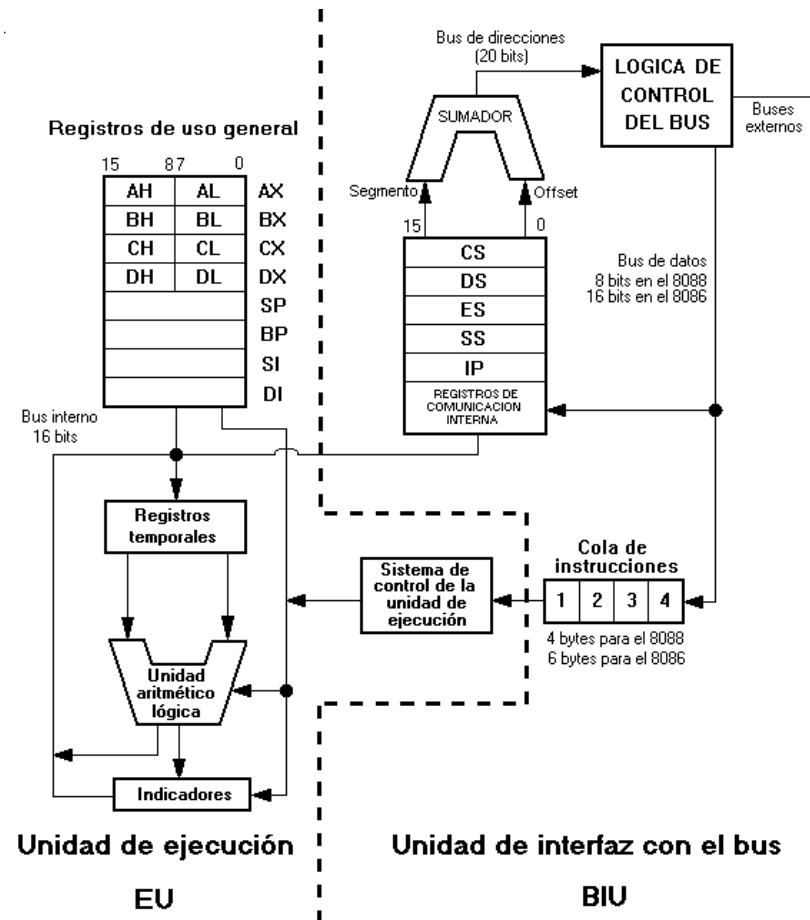


Figure 1. Pentium block diagram.

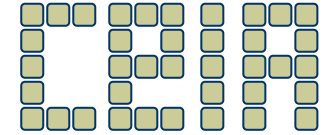
Microprocesadores. Especificaciones



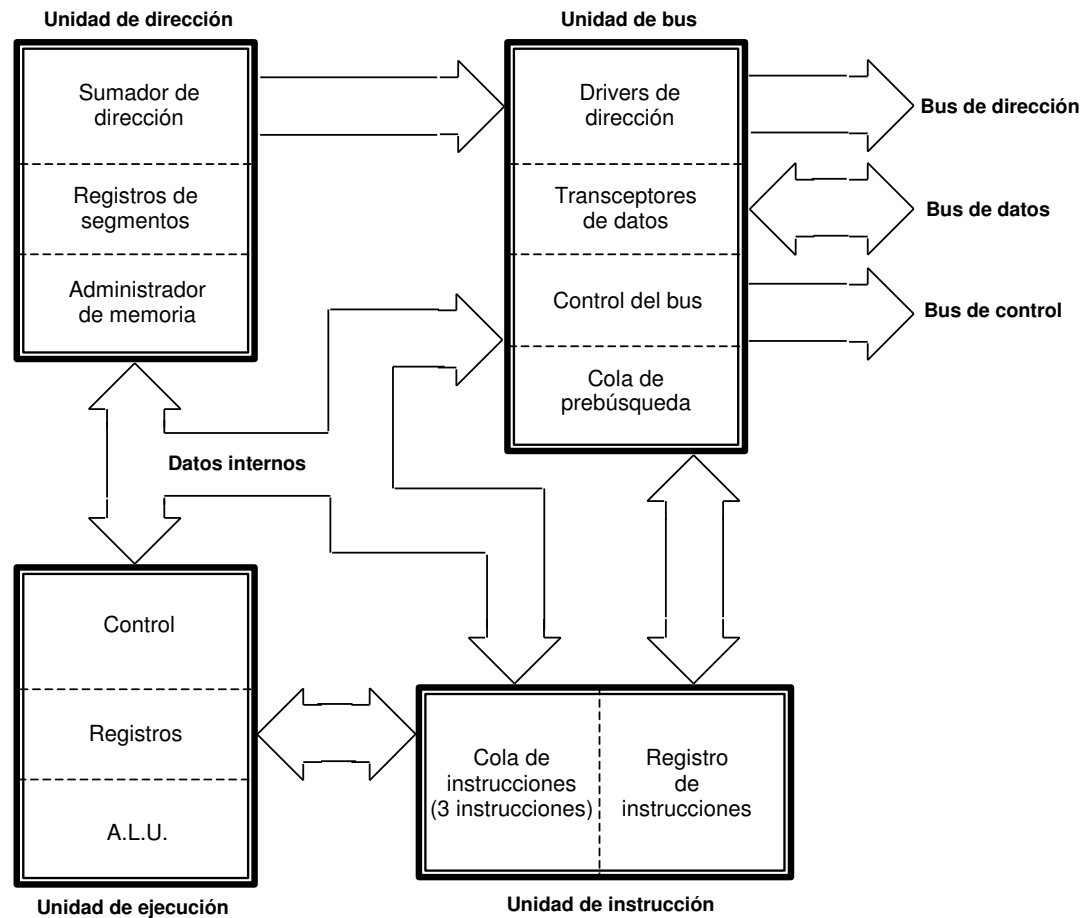
Estructura interna del microprocesador 8086



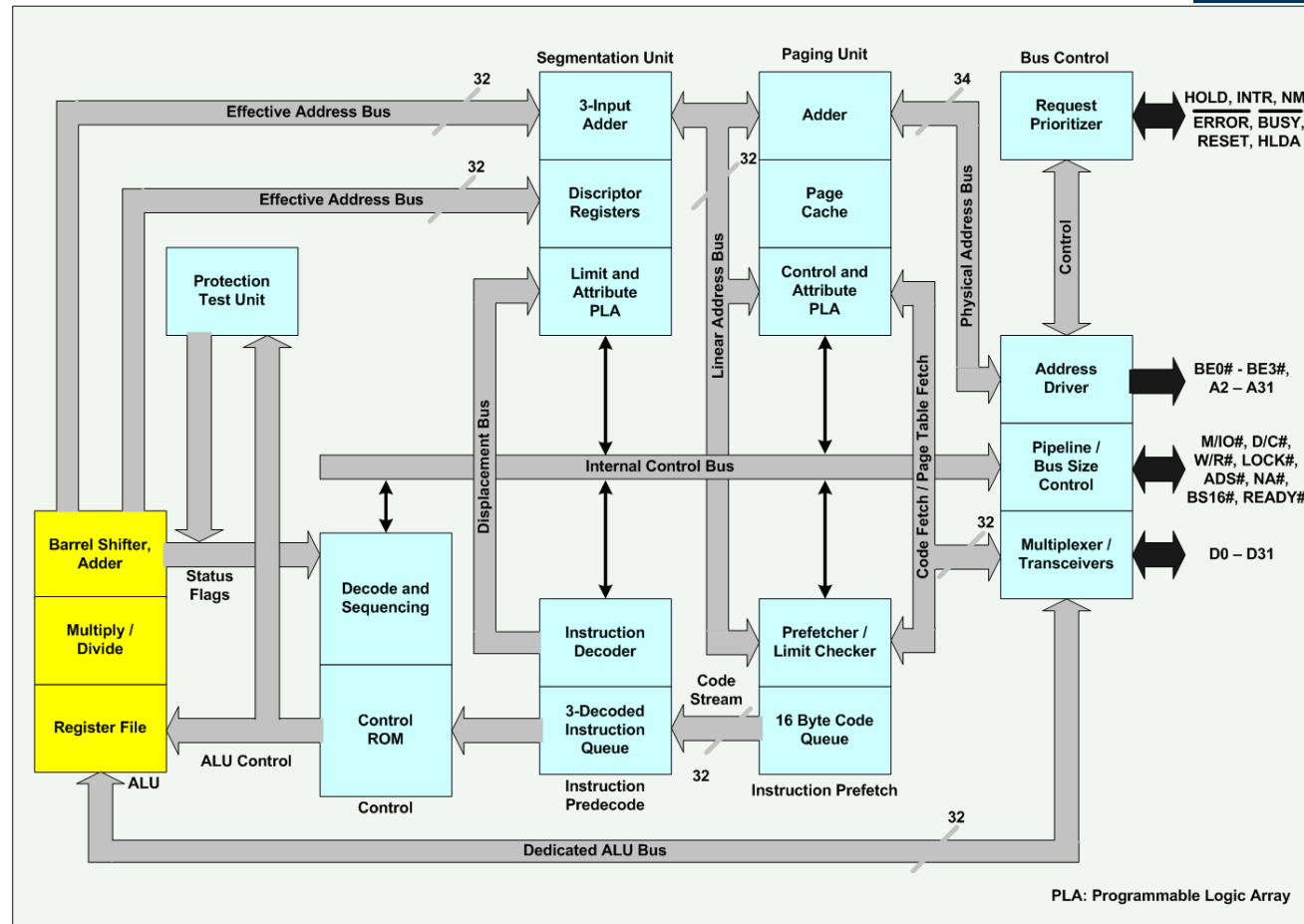
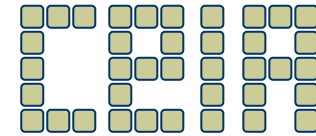
Microprocesadores. Especificaciones



*Estructura interna del
microprocesador 80286*

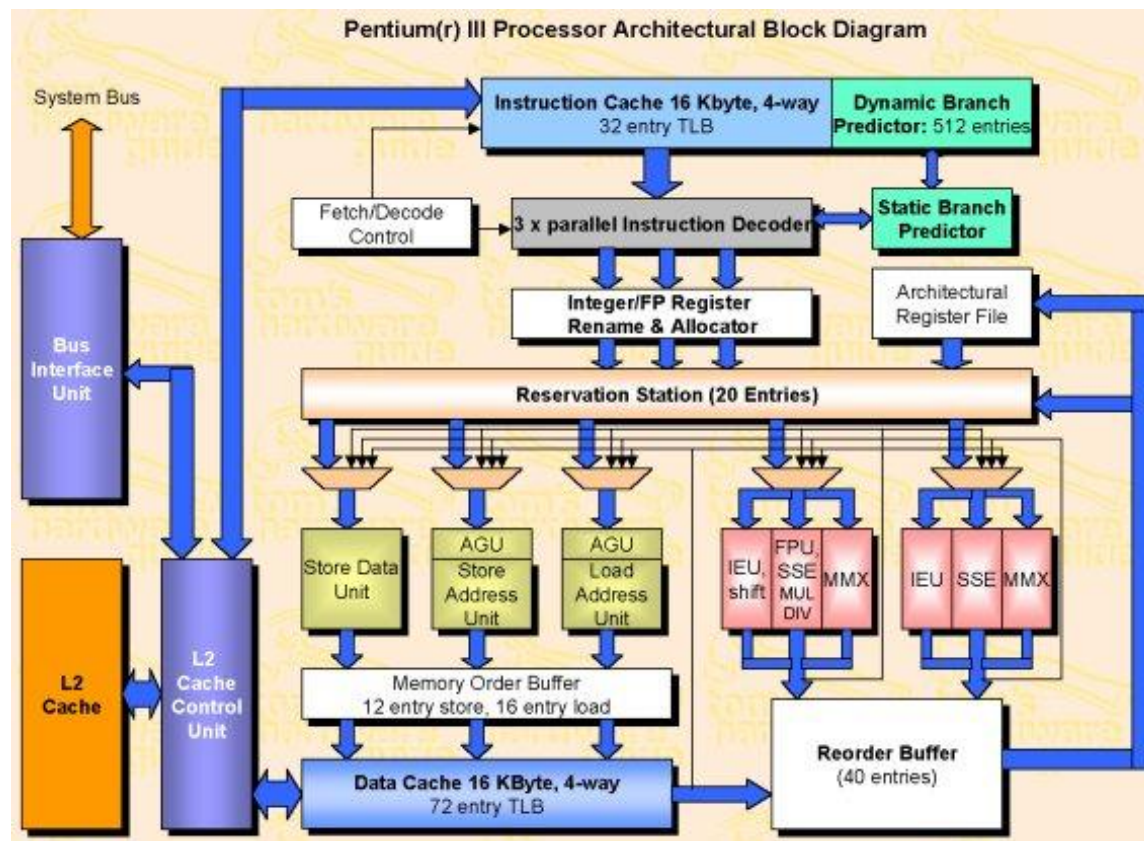
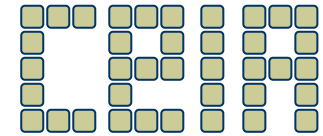


Microprocesadores. Especificaciones



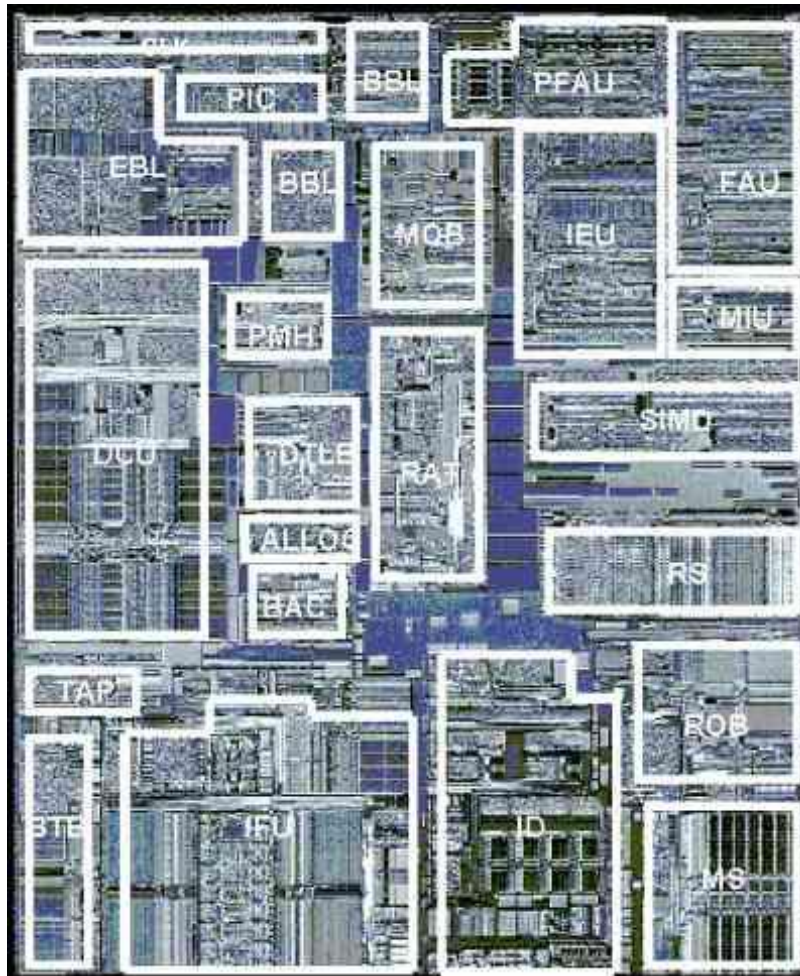
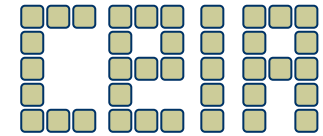
Estructura interna del microprocesador Pentium Pro

Microprocesadores. Especificaciones



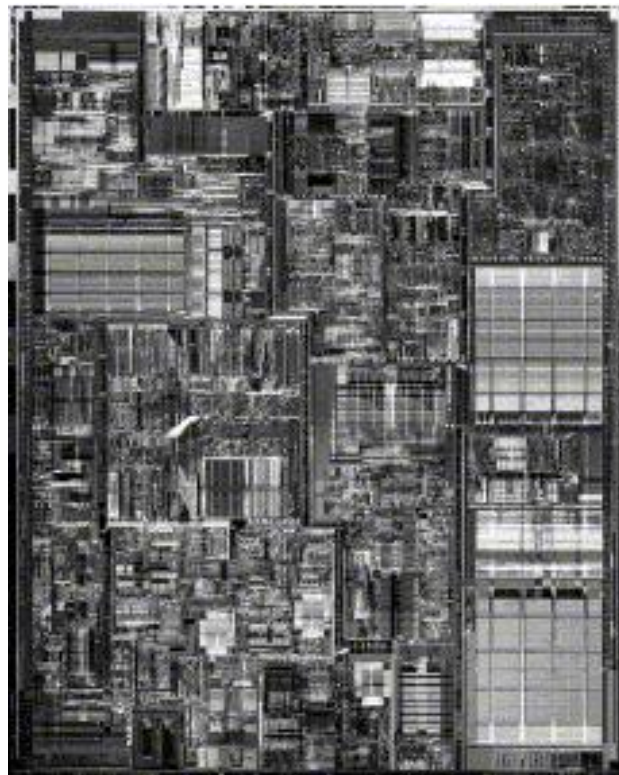
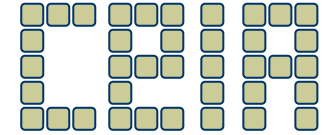
Estructura interna del microprocesador Pentium III

Microprocesadores. Especificaciones



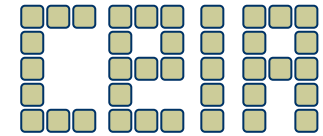
Serigrafía del Pentium III

Microprocesadores. Especificaciones



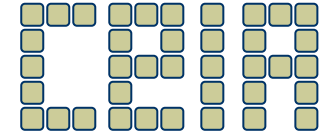
Estructura interna del Pentium 4 (3.0 GHz)

Microprocesadores. Especificaciones

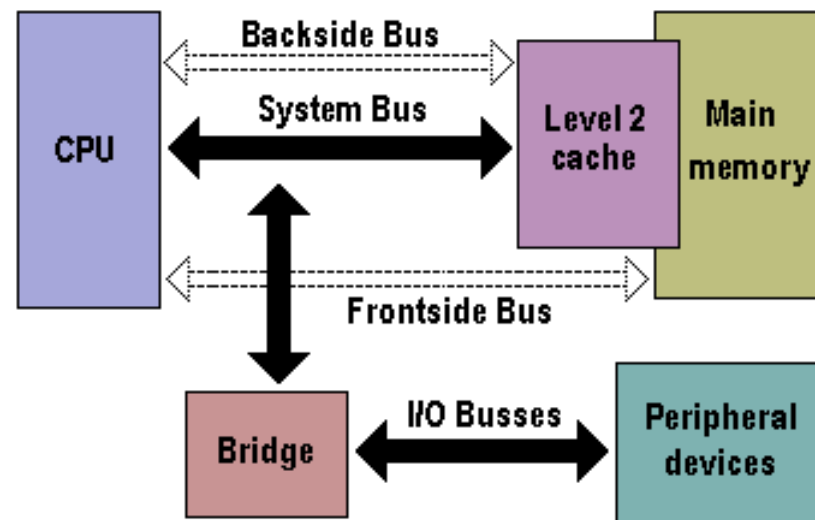


- ◆ **Especificaciones** de los microprocesadores x86.
 - **Ejecución dinámica** (dynamic execution). El procesador ejecuta en paralelo varias instrucciones.
 - Branch prediction (predicción de vías).
 - Dataflow analysis (análisis de flujos de datos).
 - Speculative execution (ejecución especulativa).
 - **Arquitectura DIB** (Dual Independent Bus Architecture). Aumenta el BW con el uso independiente de 2 buses (FSB y BSB)

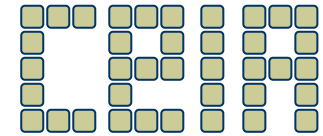
Microprocesadores. Especificaciones



◆ Arquitectura DIB

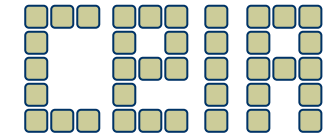


Microprocesadores. Especificaciones

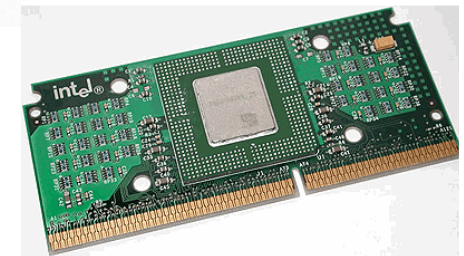
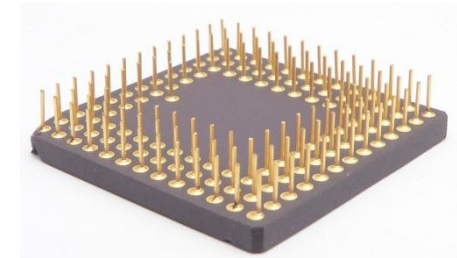


- ◆ **Especificaciones** de los microprocesadores x86.
 - **Hyper-Threading** technology (multihilo).
Convierte un procesador físico en dos procesadores virtuales. Cada procesador virtual maneja un hilo.
Internamente duplicación:
 - Registros de ámbito general.
 - Registros de control.
 - **Tecnología de múltiples núcleos (cores).**
 - **Tecnología de virtualización:**
 - VT (Intel): **IVT.**
 - AMD-Virtualization: **AMD- V.**

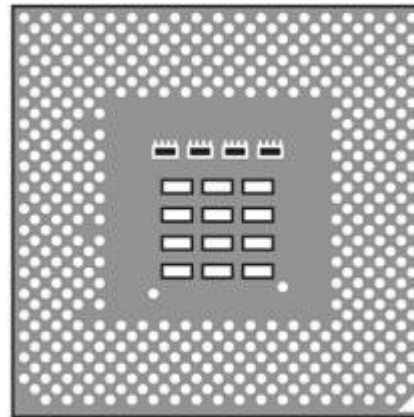
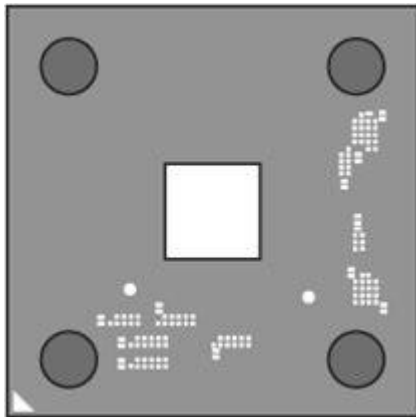
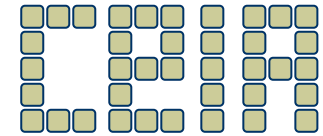
Microprocesadores. Encapsulados y zócalos



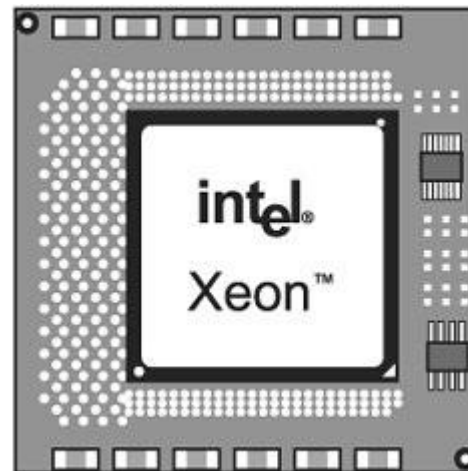
- ◆ El Microprocesador debe tener un **encapsulado compatible con el zócalo** disponible en la placa madre.
- ◆ **Tipos** de encapsulados:
 - **PGA** (Pin Grid Array) y sus variantes.
 - SPGA (Staggered PGA).
 - FC-PGA (Flip Chip PGA).
 - **LGA** (Land Grid Array).
 - **SECC** (Single-edge Contact Cartridge)



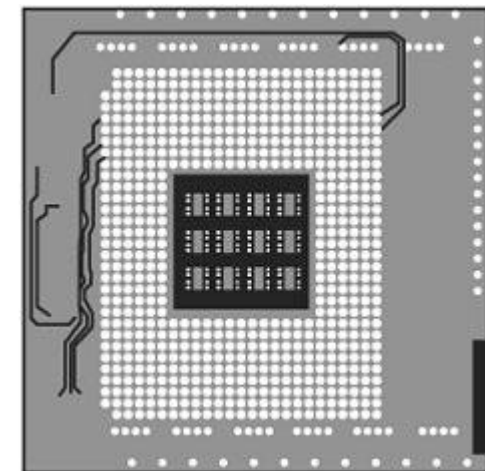
Microprocesadores. Encapsulados y zócalos



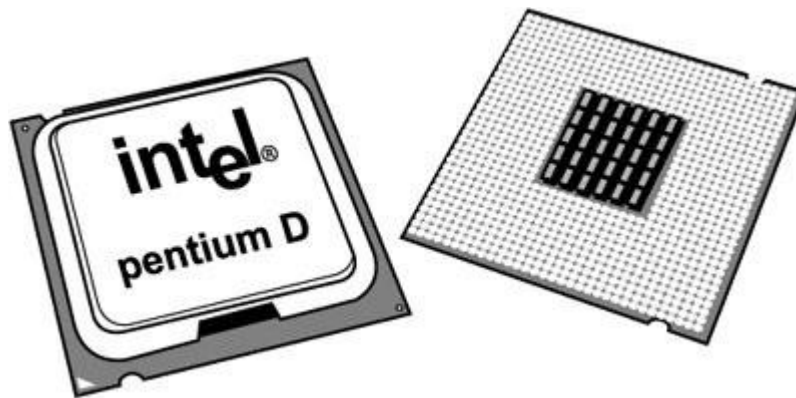
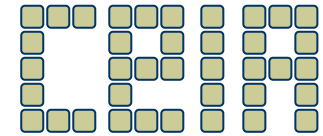
Encapsulado SPGA



Encapsulado FC-PGA2

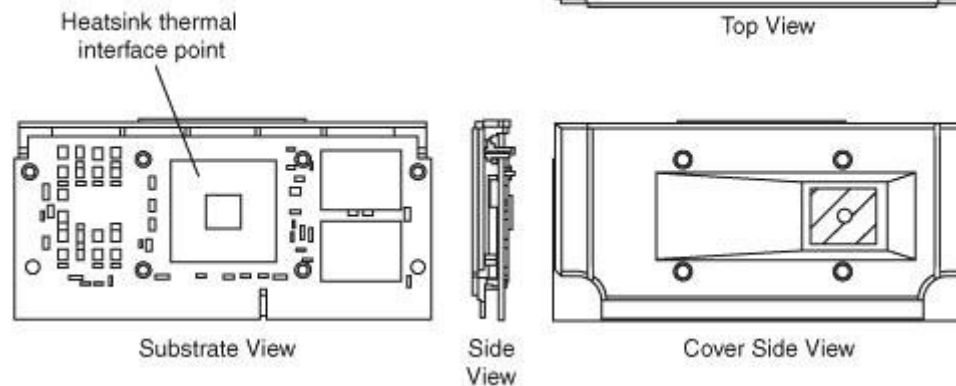


Microprocesadores. Encapsulados y zócalos

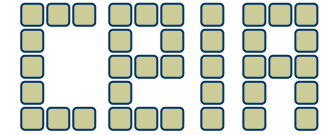


Encapsulado LGA

Encapsulado SECC2

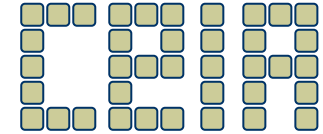


Microprocesadores. Encapsulados y zócalos



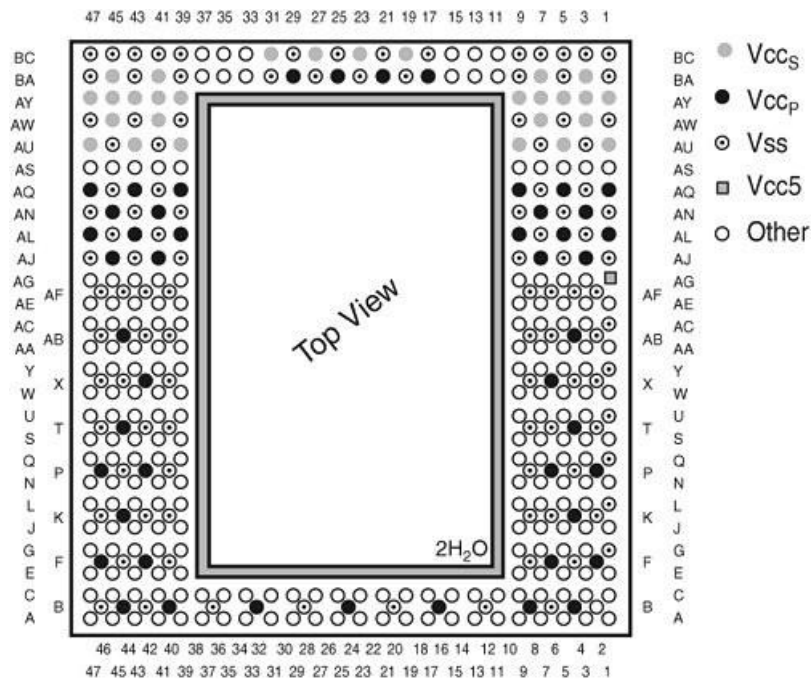
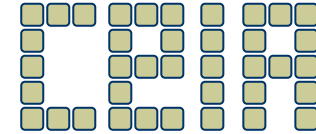
- ◆ Existe zócalos **LIF** (Low Insertion Force) y **ZIF** (Zero Insertion Force).
- ◆ **Tipos** de zócalos:
 - Socket 8.
 - Slot 1 (SC242).
 - Socket 370.
 - Socket 423.
 - Socket 478.
 - Socket T (LGA775).
 - Slot A.
 - Socket A (462).
 - Socket 754.
 - Socket 939.
 - Socket 940.
 - Slot 2 (SC330).
 - Socket 603.
 - Socket 604.
 - Socket PAC418.
 - Socket 940.
 - Socket 939.

Microprocesadores. Encapsulados y zócalos

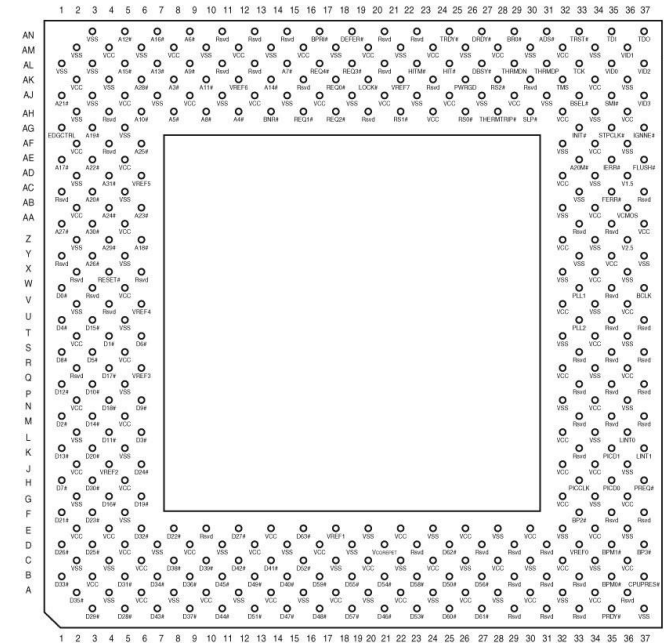


Socket	Pins	Layout	Tensión	Procesadores soportados	Fecha
Intel 686 (Pentium II/III) Class					
Socket 8	387	Dual-pattern SPGA	Auto VRM	Pentium Pro, OD	Nov. 1995
Slot 1 (SC242)	242	Slot	Auto VRM	Pentium II/III, Celeron SECC	May 1997
Socket 370	370	37x37 SPGA	Auto VRM	Celeron/Pentium III PPGA/FC-PGA	Nov. 1998
Intel Pentium 4 Class					
Socket 423	423	39x39 SPGA	Auto VRM	Pentium 4 FC-PGA	Nov. 2000
Socket 478	478	26x26 mPGA	Auto VRM	Pentium 4/Celeron FC-PGA2	Oct. 2001
Socket T (LGA775)	775	30x33 LGA	Auto VRM	Pentium 4/Celeron LGA775	June 2004
AMD K7 Class					
Slot A	242	Slot	Auto VRM	AMD Athlon SECC	June 1999
Socket A (462)	462	37x37 SPGA	Auto VRM	AMD Athlon/Athlon XP/MP/Duron/Sempron PGA/FC-PGA	June 2000
AMD K8 Class					
Socket 754	754	29x29 mPGA	Auto VRM	AMD Athlon 64	Sep. 2003
Intel/AMD Server and Workstation Class					
Slot 2 (SC330)	330	Slot	Auto VRM	Pentium II/III Xeon	April 1998
Socket 603	603	31x25 mPGA	Auto VRM	Xeon (P4)	May 2001
Socket 604	604	31x25 mPGA	Auto VRM	Xeon (P4)	Oct. 2003
Socket PAC418	418	38x22 split SPGA	Auto VRM	Itanium	May 2001
Socket PAC611	611	25x28 mPGA	Auto VRM	Itanium 2	July 2002
Socket 940	940	31x31 mPGA	Auto VRM	AMD Opteron	April 2003
Socket 939	939	31x31 mPGA	Auto VRM	AMD Opteron	June 2004

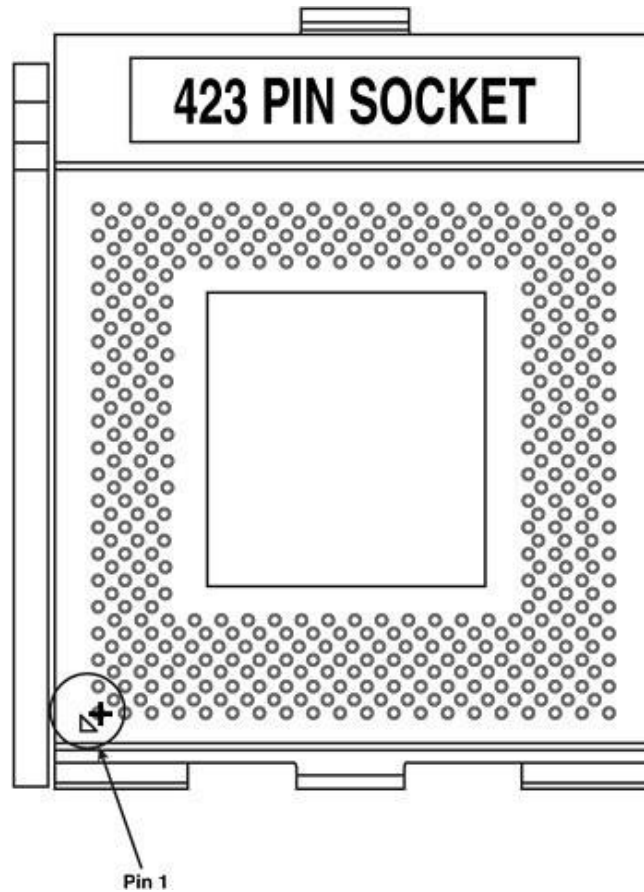
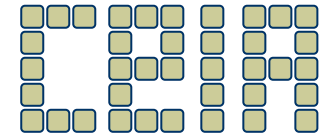
Microprocesadores. Encapsulados y zócalos



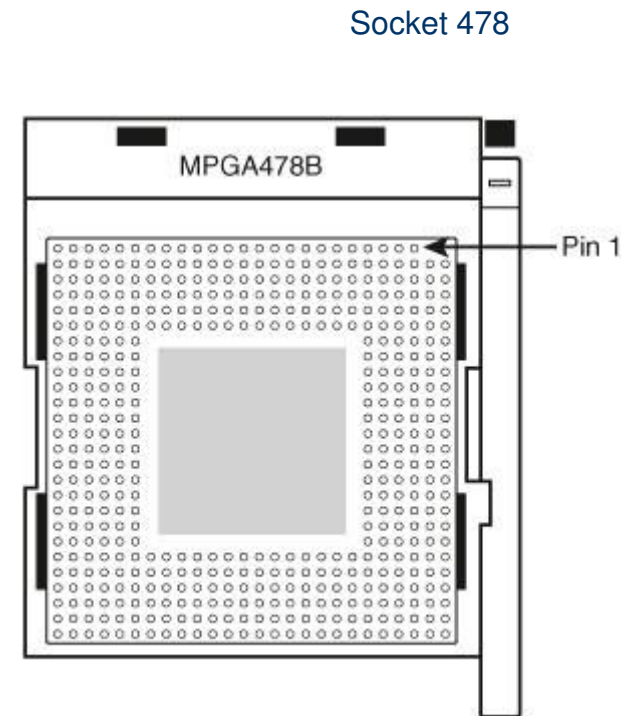
Socket 8



Microprocesadores. Encapsulados y zócalos

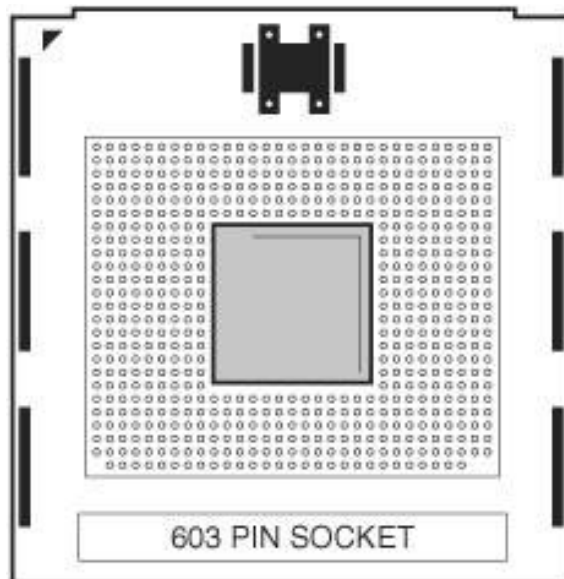
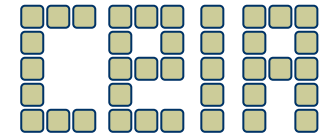


Socket 423



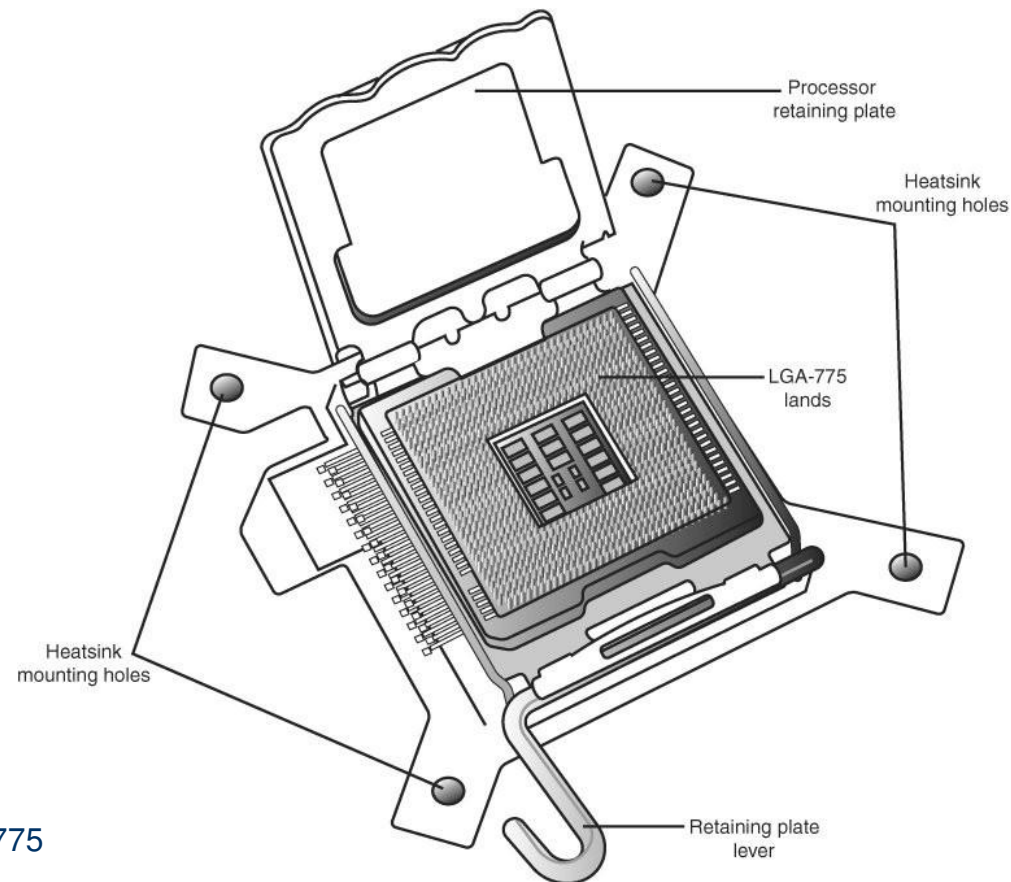
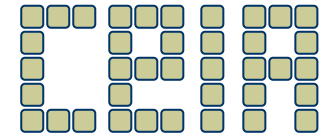
Socket 478

Microprocesadores. Encapsulados y zócalos



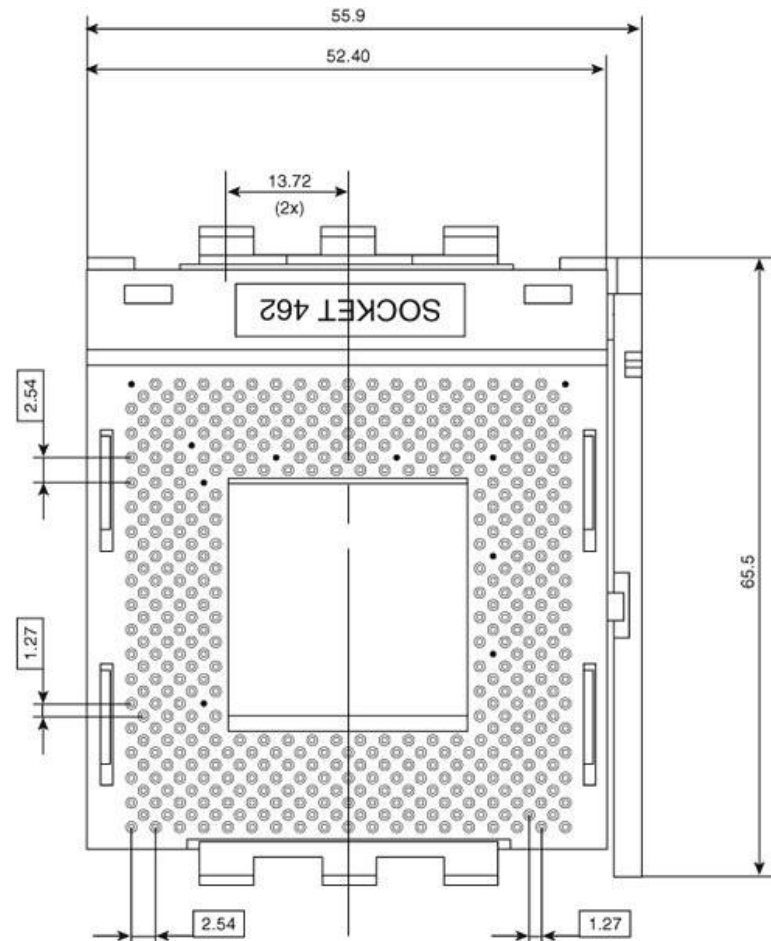
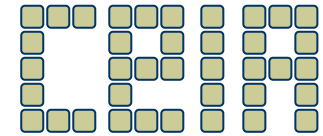
Socket 603

Microprocesadores. Encapsulados y zócalos



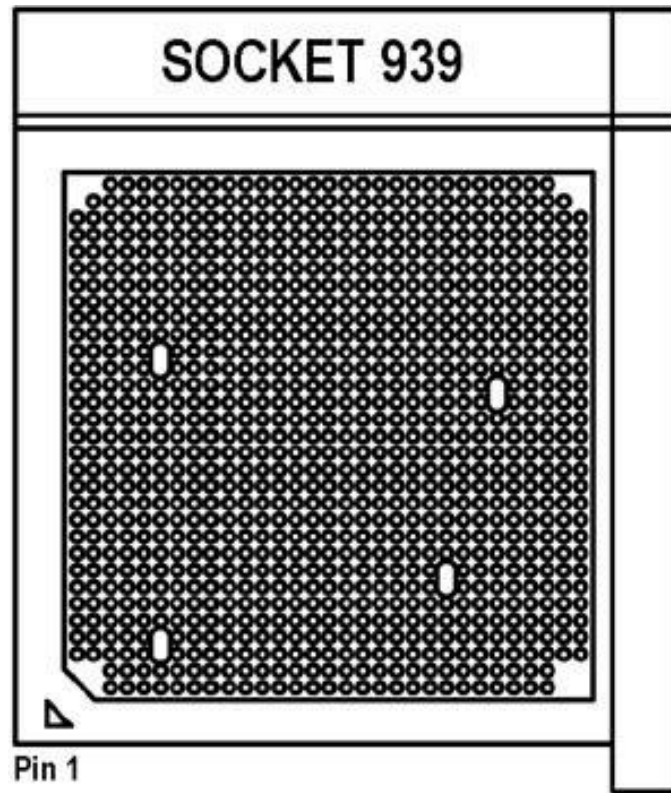
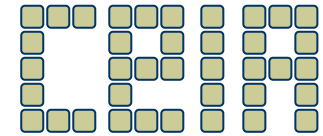
Socket 775

Microprocesadores. Encapsulados y zócalos



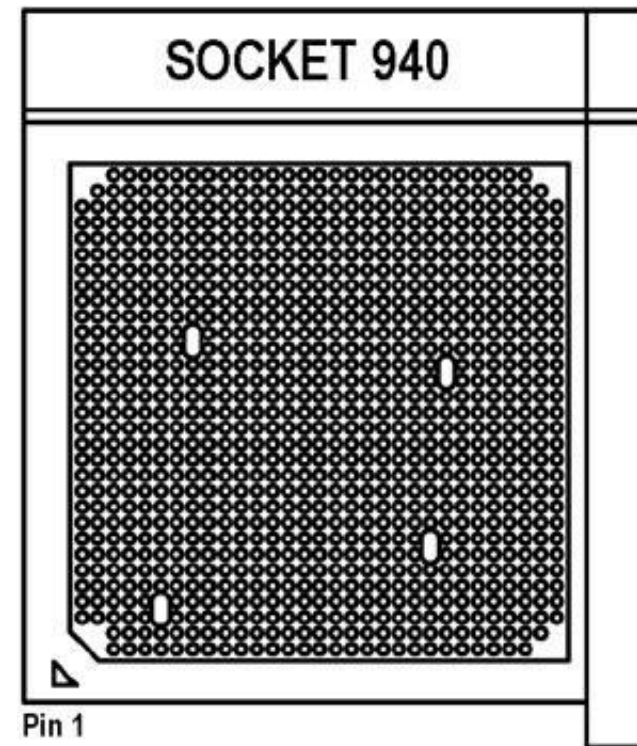
Socket A

Microprocesadores. Encapsulados y zócalos



Pin 1

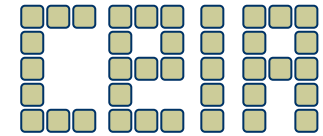
Socket 939



Socket 940

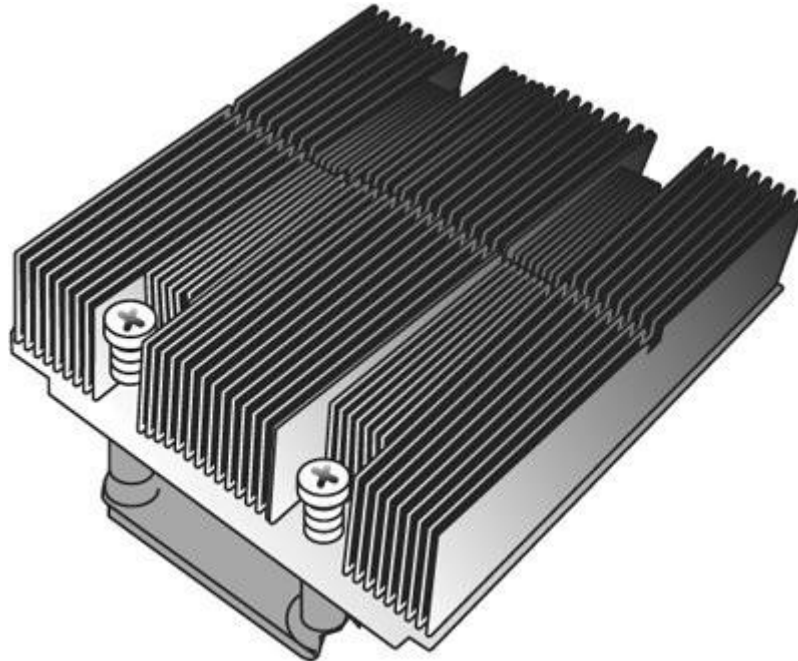
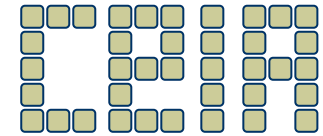
Pin 1

Microprocesadores. Disipadores



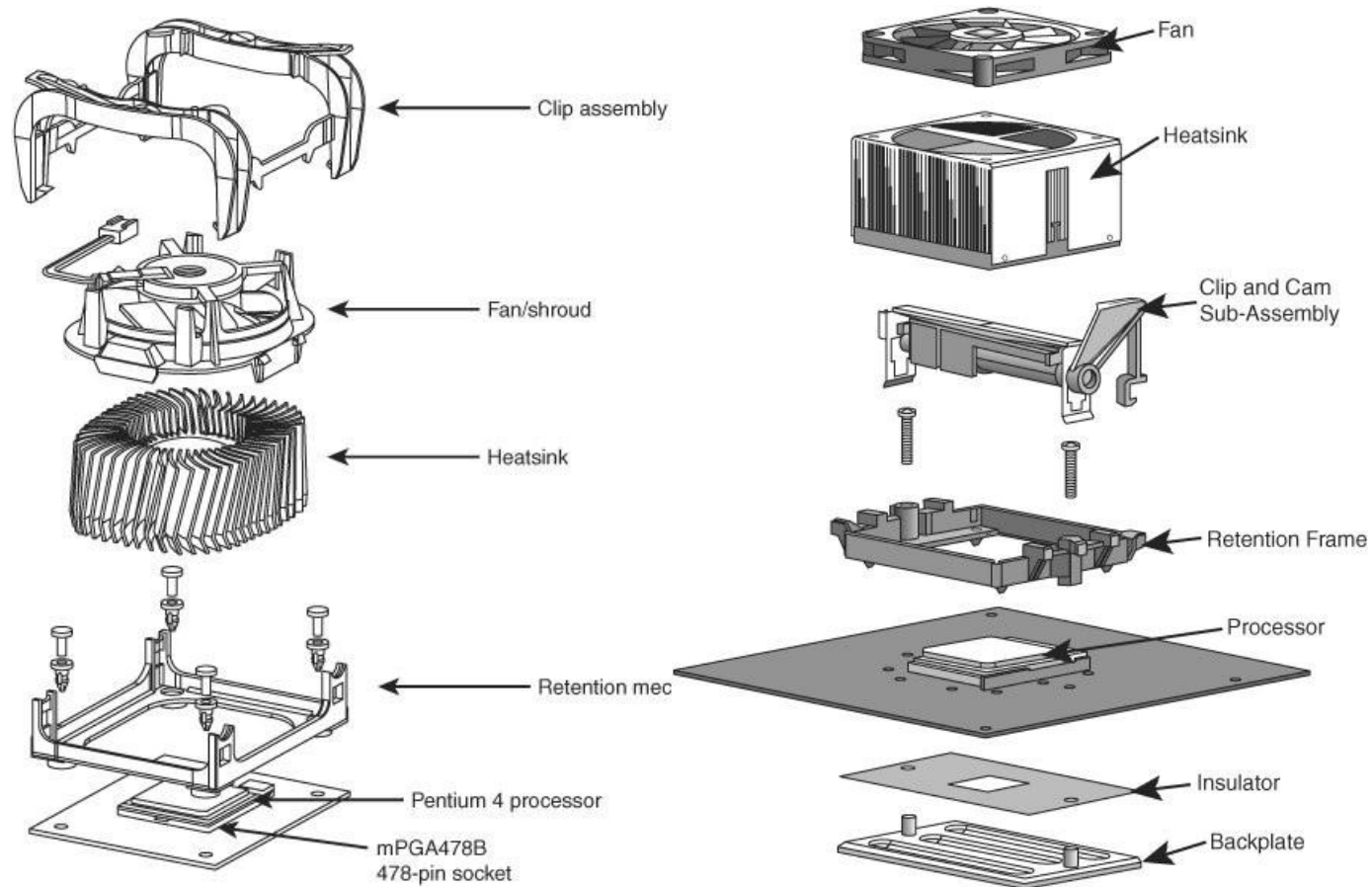
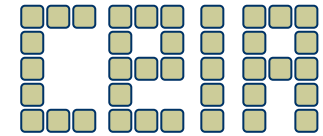
- ◆ El disipador debe **refrigerar** eficazmente la potencia calórica eliminada por el microprocesador.
- ◆ Tipos de disipadores:
 - Disipadores **pasivos**: disipador de aletas.
 - Disipadores **activos**: disipador junto con ventilador.
- ◆ Es conveniente realizar los cálculos adecuados para la selección del disipador.
- ◆ Añadir **pasta térmica** entre el disipador y el microprocesador.

Microprocesadores. Disipadores pasivos



Disipador pasivo

Microprocesadores. Disipadores activos



Disipadores activos